

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3448644

Basic Patent (No,Kind,Date): JP 56081973 A2 810704 <No. of Patents: 001>

MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): SHIBATA KENJI

IPC: *H01L-029/78; H01L-021/268; H01L-021/324; H01L-029/06

JAPIO Reference No: *050149E000057;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 56081973	A2	810704	JP 79158341	A	791206 (BASIC)

Priority Data (No,Kind,Date):

JP 79158341 A 791206

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

00761673 **Image available**

MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE

PUB. NO.: 56-081973 [JP 56081973 A]

PUBLISHED: July 04, 1981 (19810704)

INVENTOR(s): SHIBATA KENJI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 54-158341 [JP 79158341]

FILED: December 06, 1979 (19791206)

INTL CLASS: [3] H01L-029/78; H01L-021/268; H01L-021/324; H01L-029/06

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 75, Vol. 05, No. 149, Pg. 57,
September 19, 1981 (19810919)

ABSTRACT

PURPOSE: To compensate the deterioration in the characteristics of an MOS transistor due to the crystal defect by irradiating beforehand energy beam in parallel with the longitudinal channel direction of the transistor in the semiconductor layer when providing the MOS transistor in the semiconductor layer formed on an insulating substrate.

CONSTITUTION: An $n(\text{sup } -)$ type monocrystalline Si layer 2 is epitaxially grown on a sapphire substrate 1, is etched to form the layer in an insular state. Subsequently, phosphorus ions are implanted to the insular layer 2 to the extent of dosage of $5 \times 10^{11} \text{cm}^{-2}$, and subsequently Nd: YAG laser beam is scanned and irradiated thereto along the channel longitudinal direction of the MOS transistor formed later with energy density of 500mJ/cm . Thereafter, a gate electrode 4 is formed through a gate $\text{SiO}(\text{sub } 2)$ film 3 at the center on the surface of the layer 2, and with the electrode as a mask, $n(\text{sup } +)$ type source and drain regions 5 and 6 are diffused in self-matching manner. Then, an $\text{SiO}(\text{sub } 2)$ film 7 is accumulated in an ordinalry manner, a window is opened thereat, and aluminum electrodes 8, 9 are mounted thereon.

?

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—81973

⑬ Int. Cl.³

H 01 L 29/78
21/268
21/324
29/06

識別記号

庁内整理番号

6603—5F
6851—5F
6851—5F
7514—5F

⑭ 公開 昭和56年(1981)7月4日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ MOS型半導体装置の製造方法

京芝浦電気株式会社総合研究所
内

⑯ 特 願 昭54—158341

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭54(1979)12月6日

川崎市幸区堀川町72番地

⑲ 発 明 者 柴田健二

⑳ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

MOS型半導体装置の製造方法

2. 特許請求の範囲

絶縁性基板上に設けた半導体層にMOSトランジスタを形成するに際し、前記半導体層に、MOSトランジスタのチャンネル長方向に平行にエネルギービームを走査して照射することを特徴とするMOS型半導体装置の製造方法。

3. 発明の詳細な説明

この発明は絶縁性基板上に設けた半導体層にMOSトランジスタを形成するMOS型半導体装置の製造方法に関する。

サファイアまたはスピネル等の単結晶絶縁性基板上に単結晶シリコン層を成長させ、これにMOSトランジスタを乗積するいわゆるSOS構造のMOS型半導体装置は、素子分離が確実に高速化、高密度化に適したものであるとして注目されている。

しかしながら、SOS構造では、よく知られ

ているようにエピタキシャル成長の過程でシリコン層に多くの結晶欠陥(転位)が導入される。従つてMOSトランジスタを形成する場合、例えばデプレッション動作をさせるためにイオン注入等により不純物を導入しても、その不純物が結晶欠陥にトラップされてしまい、伝導に寄与するキャリアが減少する。また高密度の結晶欠陥はシリコン層内で深いアクセプタ単位を形成し、これがシリコン層のキャリア移動度を低下させ、MOSトランジスタのしきい値電圧の不安定性をます原因となる。

この発明は、上記の如き結晶欠陥に基づく特性劣化を補償したSOS構造のMOS型半導体装置の製造方法を提供するものである。

この発明の方法は、絶縁性基板上に設けられた半導体層にレーザビームあるいは電子ビーム等のエネルギービームの照射によるアニールを行うが、このとき特に、エネルギービームを形成されるMOSトランジスタのチャンネル長方向に平行に走査して照射することを特徴として

いる。エネルギービームの照射の時期は、絶縁性基板上の半導体層を島状にパターンニングした後、素子形成工程前でも素子形成後であつてもよい。またエネルギービームの照射は場合によつては絶縁性基板の裏面から行つてもよい。このエネルギービームの走査方向をMOSトランジスタのチャンネル長方向に平行にすることで効果的に特性改善がなされる理由は現在のところ不明であるが、以下の実施例で明らかにするようにその効果は顕著である。

以下図面を参照してこの発明の実施例を説明する。第1図(a)~(f)は一実施例の製造工程を示す断面図である。まず面方位(1012)のサファイア基板1上にn型(100)単結晶シリコン層2をエピタキシャル成長させ(a)、シリコン層2をエッチングして素子形成領域を島状に残す(b)。その後、シリコン層2の全面にリンイオンを加速電圧170KV、ドーズ量 $5 \times 10^{11} \text{ cm}^{-2}$ で打込む(c)。続いて、波長0.53 μm のNd:YAGレーザービームを、エネルギー密度

3

いている。この実施例によれば、実線で示したようにそのばらつきの最大値に落着くように島動度が大きくなつてゐる。

また第3図はドレイン電流-ゲート電圧特性で、実線がこの実施例のもの、一点鎖線は全くアニールを行わなかつたもの、破線は走査方向を定めずレーザービーム照射を行つたものについてのデータである。やはりこの実施例により、しきい値電圧のばらつきが減少し、特性が安定化されていることがわかる。その他この実施例により、キャリアのライフタイムの向上、接合の耐圧の向上も認められた。

なお、上記実施例では、サファイア基板として(1012)面を用いたが、(1124)面を用いて(111)面単結晶シリコン層を成長させたSOSでも同様の効果が認められた。またMOSトランジスタがPチャンネルの場合にも同様の効果が得られる。

以上説明したようにこの発明によれば、SOS構造のMOS型半導体装置を作るに際し、エネ

5

500 mJ/cm²で将来MOSトランジスタのチャンネル長方向となる方向に沿つて走査して照射する(d)。このときのレーザービームはスポット径50 μm 、パルス幅50 nsecであり、Qスイッチにより2 KHzの繰返しで照射し、走査速度は隣接するビームスポットの重なりが75%になるように選んだ。その後、熱酸化による500 Åのシリコン酸化膜3を介して多結晶シリコンからなるゲート電極4を形成し、ゲート電極4をマスクとして自己整合的にn型不純物を拡散してn⁺型のソース5、ドレイン6を形成する(e)。そして最後に全面にCVD法によるシリコン酸化膜7を堆積し、コンタクトホールをあけてAl膜の蒸着、パターンニング工程を経て取出し電極8、9を配設して定成する(f)。

こうして得られたMOSトランジスタについて、ゲート電圧を変えて測定したホール島動度を第2図に実線で示す。破線はレーザービーム照射を、その走査方向を定めないので行つた場合のデータであり、この場合島動度は大きくばらつ

4

ルギービームをその走査方向を定めて照射してアニールすることにより、特性の改善および安定性の向上を図ることができる。

4. 図面の簡単な説明

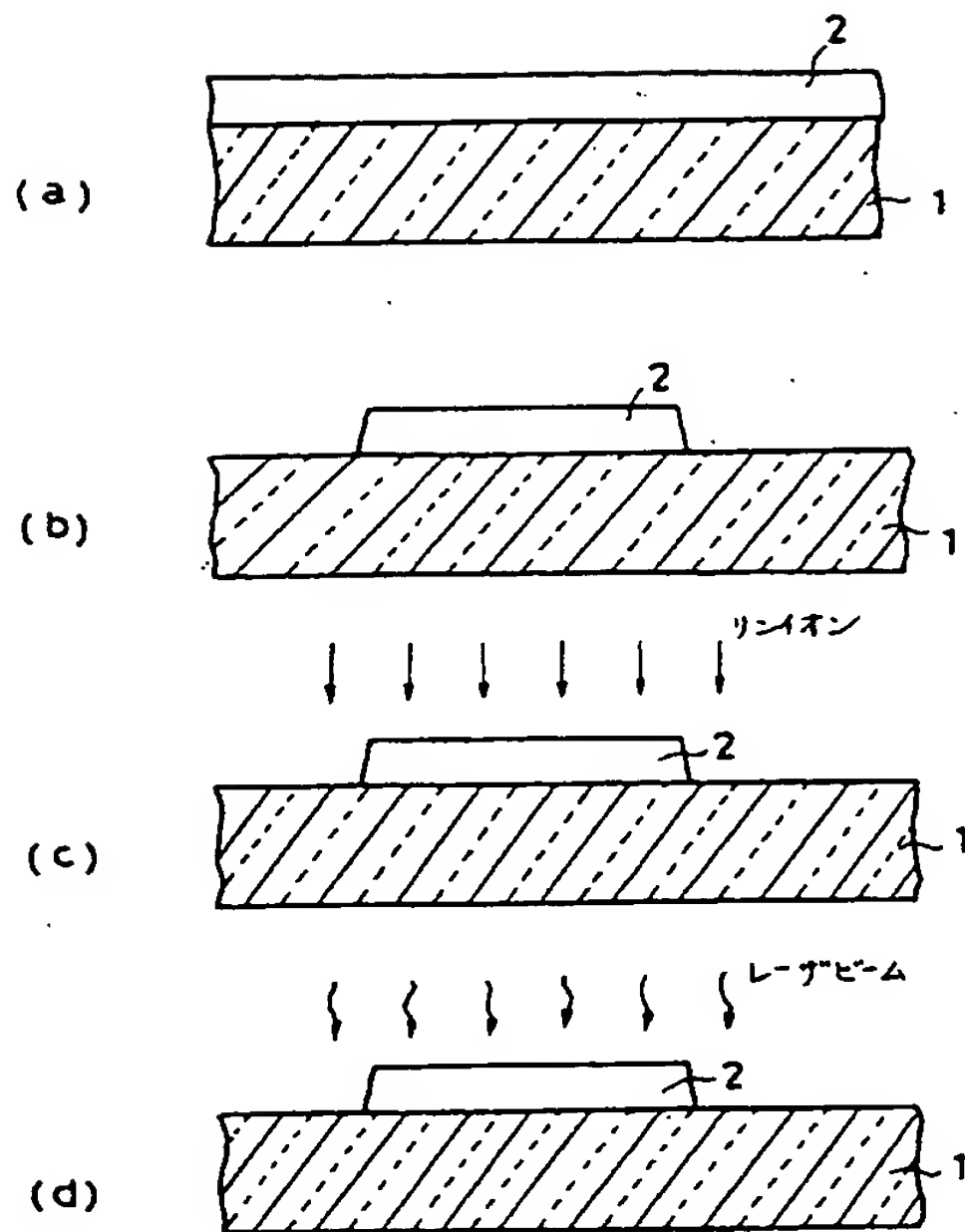
第1図(a)~(f)はこの発明の一実施例の製造工程断面図、第2図は得られたMOSトランジスタのホール島動度特性を示す図、第3図は同じくドレイン電流-ゲート電圧特性を示す図である。

1…サファイア基板、2…n型単結晶シリコン層、3…シリコン酸化膜、4…ゲート電極、5…ソース、6…ドレイン、7…シリコン酸化膜、8、9…取出し電極。

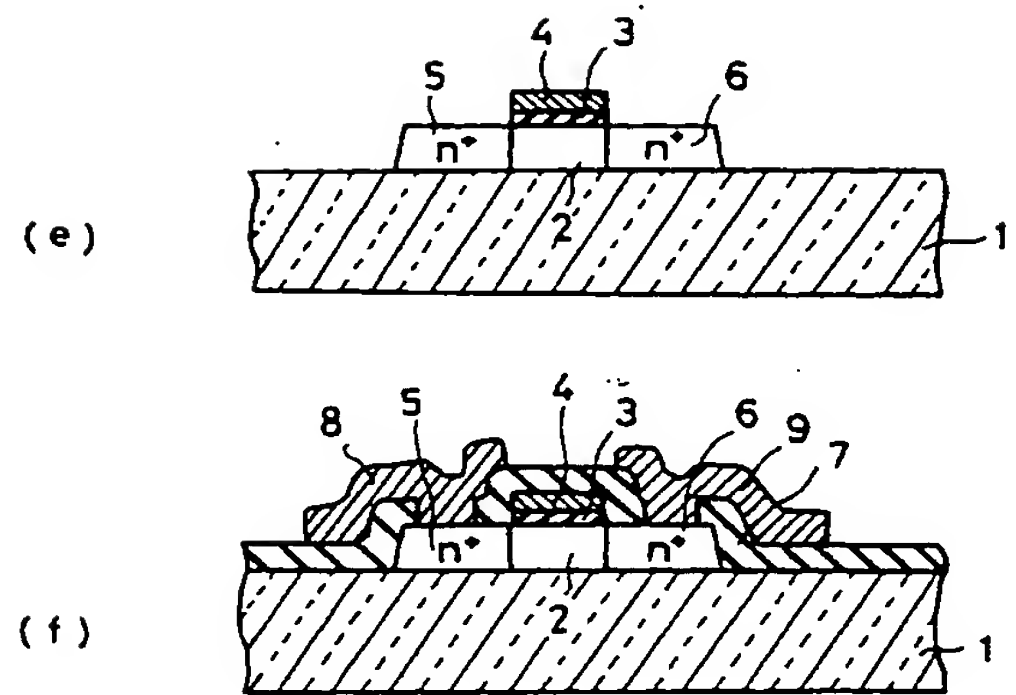
出願人代理人 弁理士 鈴 江 武 彦

6

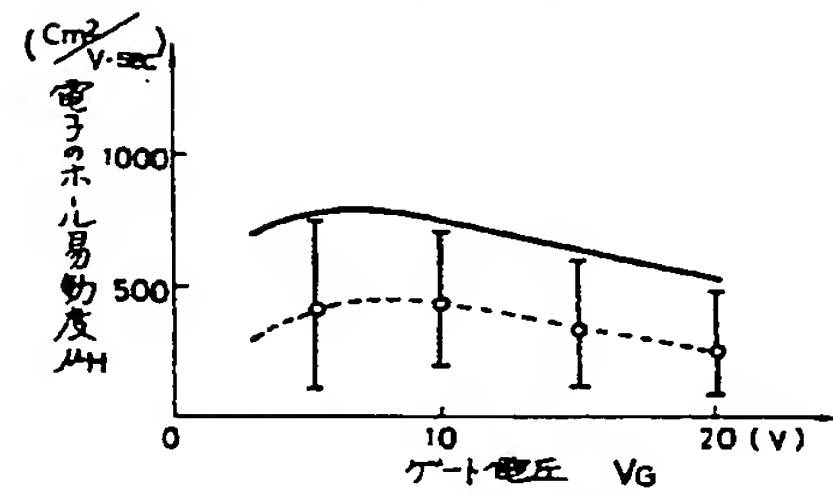
第 1 図



第 1 図



第 2 図



第 3 図

